

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2003年4月24日 (24.04.2003)

PCT

(10)国際公開番号
WO 03/034593 A1

(51)国際特許分類: H03K 19/0948, H03F 3/34

(HIRABAYASHI,Atsushi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニ-株式会社内 Tokyo (JP). 小森 健司 (KOMORI,Kenji) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニ-株式会社内 Tokyo (JP).

(21)国際出願番号: PCT/JP02/10482

(22)国際出願日: 2002年10月9日 (09.10.2002)

(25)国際出願の言語: 日本語

(74)代理人: 中村 友之 (NAKAMURA,Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

(26)国際公開の言語: 日本語

(81)指定国(国内): CN, KR, US.

(30)優先権データ:

特願2001-312928

2001年10月10日 (10.10.2001) JP

特願2001-360011

2001年11月26日 (26.11.2001) JP

(84)指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

(71)出願人(米国を除く全ての指定国について): ソニ-株

添付公開書類:
— 国際調査報告書

式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

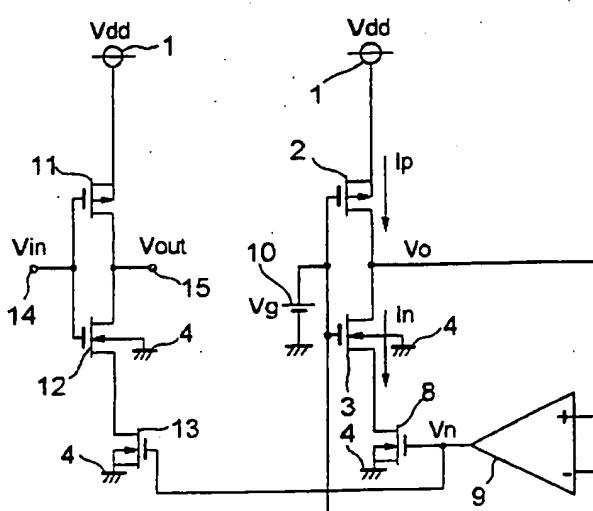
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(72)発明者: および

(75)発明者/出願人(米国についてのみ): 平林 敦志

(54)Title: AMPLIFICATION CIRCUIT

(54)発明の名称: 増幅回路



(57)Abstract: An amplification circuit composed of a CMOS inverter circuit applicable to analog signal processing by removing a DC offset caused by irregularities of element characteristics in each production process. In a CMOS inverter circuit consisting of a PMOS transistor (11) and an NMOS transistor (12), in order to increase the source voltage of the NMOS transistor (12), there are provided an NMOS transistor (13) connected to the NMOS transistor (12) and DC offset detection means for detecting a DC offset and applying voltage adjusted to reduce the DC offset, to the gate of the NMOS transistor (13).

03/034593 A1

明細書

増幅回路

5 技術分野

この発明は、増幅回路に係り、特にCMOSを構成するNMOSトランジスタおよびPMOSトランジスタについて製造プロセス毎に生じる素子特性のバラツキに起因するDCオフセットを除去することでアナログ信号処理に適用し得るように成されたCMOSインバータ回路に関するものである。

背景技術

近年、デジタル信号処理技術の進歩に伴ったデジタル機器製造の増大に応じて、デジタル機器内部に設けられた半導体装置においてCMOS集積回路が大幅に使用されるようになっている。ところが、高周波信号、映像信号、音声信号等についてはアナログ信号として処理するほうが容易な場合があり、またA/D変換回路、D/A変換回路、クロック発振回路等を実現するためにはアナログ信号処理が必要となってくる。

アナログ信号処理回路としてはバイポーラトランジスタが良好な適性を有しており、CMOSについては、サンプルホールド回路等の一部のアナログ信号処理回路を除いてアナログ信号処理回路としての適性は低いとされてきた。然るに、CMOSインバータ回路は、非常に簡単な構成であるにもかかわらず、入力ダイナミックレンジが大きいこと、高い利得を得られること、電流供給能力が優れていること等の利点を有しており、CMOSインバータ回路をアナログ信号処理回路として利用することで全体的な回路規模の縮小並びに性能の向上を実現することが期待

$$I_p = \frac{M_p}{2} (V_{dd} - V_g - V_{tp})^2 = \frac{M_p}{2} (V_g - V_{tp})^2 \quad (1)$$

$$I_n = \frac{M_n}{2} (V_g - V_{tn})^2 \quad (2)$$

ここで、 M_p は PMOS トランジスタ 202 のドレイン電流係数、 V_{tp} は PMOS トランジスタ 202 の閾値電圧、 M_n は NMOS トランジスタ 203 のドレイン電流係数、 V_{tn} は NMOS トランジスタ 203 の閾値電圧である。

- 第 13B 図に示されるように、出力電圧 V_o は、MOS トランジスタのドレイン抵抗により規定される負荷抵抗 207 の抵抗値 R_d と当該負荷抵抗に流れる電流 I_d とにより定まり、式 (3) により与えられる。
- また、適切なバイアス設定を実現するために、 $V_o = V_g = V_{dd}/2$ とする条件は式 (4) により与えられる。

$$V_o = \frac{V_{dd}}{2} + (I_p - I_n)R_d = \frac{V_{dd}}{2} + I_d R_d \quad (3)$$

$$I_d = I_p - I_n = \frac{M_p}{2} (V_g - V_{tp})^2 - \frac{M_n}{2} (V_g - V_{tn})^2 = 0 \quad (4)$$

式 (4) に示されるように、PMOS トランジスタ 202 および NM

のN MOSトランジスタ等から成るCMOSインバータ回路において、DCオフセットを削減するよう第1のN MOSトランジスタのソース電圧を上げる第1の電圧シフト手段と、DCオフセットを削減するよう第1のPMOSトランジスタのソース電圧を下げる第2の電圧シフト手段との両方あるいはいずれか一方を備えるようにしたものである。

上記のような構成をとることで、DCオフセットを削減して出力電圧のダイナミックレンジを大きくとることができ、CMOSインバータ回路をアナログ信号処理回路として使用可能とすることができるという効果を奏する。また、上記第1の電圧シフト手段と上記第2の電圧シフト手段とを共に備えるように構成すれば、PMOSトランジスタとN MOSトランジスタとの間の閾値電圧の大小関係並びにドレイン電流係数の大小関係にかかわりなく、DCオフセットを削減して出力電圧のダイナミックレンジを大きくとることができるという効果を奏する。

この発明に係る增幅回路は、電圧シフト手段において、第1のN MOSトランジスタと接地部との間、あるいは第1のPMOSトランジスタと電圧源との間に介装される第2のMOSトランジスタと、当該第2のMOSトランジスタのゲートに対してDCオフセットを削減するように調整された電圧を印加するDCオフセット検出手段とを備えるようにしたものである。

上記のような構成をとることで、検出されたDCオフセット量に応じて第1のN MOSトランジスタのソース電圧を適切なレベルまで上げるか、あるいは検出されたDCオフセット量に応じて第1のPMOSトランジスタのソース電圧を適切なレベルまで下げることができて、DCオフセットをおおよそ除去することができるから、CMOSインバータ回路についてアナログ信号処理回路としての性能を向上することができるという効果を奏する。

7 の NMOS トランジスタのゲートと第 10 の NMOS トランジスタの
ゲートと第 6 の NMOS トランジスタのソースとが接続され、第 8 の N
MOS トランジスタのゲートと第 9 の NMOS トランジスタのゲートと
第 5 の NMOS トランジスタのソースとが接続され、第 5 の PMOS ト
5 ランジスタのドレインと第 9 の NMOS トランジスタのドレインとの接
続部位あるいは第 6 の PMOS トランジスタのドレインと第 10 の NM
OS トランジスタのドレインとの接続部位のいずれかが出力部に接続さ
れるようにしたものである。

上記のような構成をとることで、第 5 の NMOS トランジスタおよび
10 第 6 の NMOS トランジスタから成る差動対と第 7 の NMOS トランジ
スタおよび第 8 の NMOS トランジスタから成る負性コンダクタンス回
路とから高い相互コンダクタンスを有する増幅部が構成されるから、M
OS トランジスタのサイズを大きくすることなく並びにバイアス電流を
大きくすることなく高利得の演算増幅器が得られるとともに、当該演算
15 増幅器を使用したアナログ信号処理回路等の回路規模を小さくするこ
ができるという効果を奏する。

この発明に係る増幅回路は、演算増幅器において、差動対を構成する
ように互いにドレインが接続されてゲートに非反転入力部が接続される
第 5 の PMOS トランジスタおよびゲートに反転入力部が接続される第
20 6 の PMOS トランジスタと、カレントミラーを構成するように互いに
ゲートが接続される第 5 の NMOS トランジスタおよび第 6 の NMOS
トランジスタと、第 5 の PMOS トランジスタのソースにドレインが接
続される第 7 の PMOS トランジスタと、第 6 の PMOS トランジスタ
のソースにドレインが接続される第 8 の PMOS トランジスタと、第 5
25 の NMOS トランジスタのドレインにドレインが接続される第 9 の PM
OS トランジスタと、第 6 の NMOS トランジスタのドレインにドレイ

ト手段を動作させることにより、結果的に第1のPMOSトランジスタおよび第1のNMOSトランジスタから成るCMOSとして与えられる增幅回路のゲインを制御することができるから、DCオフセットを除去するとともにゲイン制御が可能な増幅回路を得ることができるという効果を奏する。

この発明に係る増幅回路は、電圧制御手段について、一方のMOSトランジスタのソースに接続される電圧制御用のMOSトランジスタと、電圧制御用のMOSトランジスタのゲートに接続される可変電圧源とを有して構成されたものである。

上記のような構成をとることで、一方のMOSトランジスタのソース電位を簡単な構成で変化させることができて、回路構成を簡略化することができるという効果を奏する。

この発明に係る増幅回路は、電圧シフト手段について、他方のMOSトランジスタのソースに接続される電圧シフト用のMOSトランジスタと、DCオフセットを検出して電圧シフト用のMOSトランジスタのゲートに対してDCオフセットを除去するように調整された電圧を印加するDCオフセット検出手段とを有して構成されたものである。

上記のように構成することで、検出されたDCオフセット量に応じて他方のMOSトランジスタのソース電位を適切なレベルまで変化させることができるものから、DCオフセットを確実に除去することができて精度の高い増幅回路を得ることができるという効果を奏する。

この発明に係る増幅回路は、DCオフセット検出手段について、上記の第1のPMOSトランジスタ、第1のNMOSトランジスタ、電圧制御用のMOSトランジスタおよび電圧シフト用のMOSトランジスタのそれぞれについて同一に形成されるMOSトランジスタを同じ順序で接続することで得られる対照用回路と、対照用回路内において第1のPM

る演算増幅器の構成の一例を示す回路図である。

第5図は、この発明の実施の形態1による增幅回路において使用される演算増幅器の構成の他の例を示す回路図である。

第6図は、この発明の実施の形態2による增幅回路の構成を示す回路
5 図である。

第7図は、この発明の実施の形態2による增幅回路において使用される演算増幅器の構成の一例を示す回路図である。

第8図は、この発明の実施の形態2による增幅回路において使用される演算増幅器の構成の他の例を示す回路図である。

10 第9図は、この発明の実施の形態3による增幅回路の構成を示す回路
図である。

第10図は、この発明の実施の形態4による增幅回路の構成を示す回路図である。

15 第11図は、この発明の実施の形態5による增幅回路の構成を示す回路図である。

第12図は、この発明の実施の形態6による增幅回路の構成を示す回路図である。

第13A図乃至第13B図は、アナログ信号処理回路としてのCMOSインバータ回路の構成の一例を示す図である。

20 発明を実施するための最良の形態

以下、添付の図面を参照して本発明に係る実施の形態について説明する。なお、本発明の実施の形態に記載された実施例を構成する各要素と、請求の範囲に記載された発明を構成する各要素または各手段との対応関係を明らかにするために、本発明の実施の形態に係る以下の説明文中において、実施例の各要素に対応する請求の範囲に記載された発明の各要
25

$$I_p = \frac{M_p}{2} (V_{dd} - V_g - V_{tp})^2 = \frac{M_p}{2} (V_g - V_{tp})^2 \quad (5)$$

$$I_n = \frac{M_n}{2} (V_g - V_s - V_{tn})^2 \quad (6)$$

したがって、PMOSトランジスタ2のドレイン電流 I_p と NMOS
トランジスタ3のドレイン電流 I_n との差として与えられる電流 I_d は、
5 式(7)により与えられる。

$$I_d = I_p - I_n = \frac{M_p}{2} (V_g - V_{tp})^2 - \frac{M_n}{2} (V_g - V_s - V_{tn})^2 \quad (7)$$

式(7)から明らかなように、シフト電圧 V_s の電圧値を適宜調整す
ることで、 $I_d = 0$ とすることができます。この際、出力電圧 V_o が入力
電圧 V_g に一致する。ここで、 $I_d = 0$ とすることができるシフト電圧
10 V_s の電圧値は、以下の式(8)から算出される。

$$V_s = V_g - V_{tn} - \sqrt{\frac{M_p}{M_n}} (V_g - V_{tp}) \quad (8)$$

例えば、PMOSトランジスタ2のドレイン電流係数 M_p と NMOS

第1図と同一符号は同一または相当部分を示すのでその説明を省略する。8はNMOSトランジスタ3のソースと接地部4との間に介装されたNMOSトランジスタ（第4のNMOSトランジスタ）、9は非反転入力部が出力端子7に接続され反転入力部が入力端子6に接続され出力部が5 NMOSトランジスタ8のゲートに接続される演算増幅器（第1の演算増幅器）である。ここで、NMOSトランジスタ8のバックゲートは接地部4に接続される。

次に、第2図に示されたDCオフセット検出回路の動作特性について説明する。

10 PMOSトランジスタ2のドレイン電流 I_p は式(10)により与えられ、NMOSトランジスタ3のドレイン電流 I_n は式(11)により与えられ、NMOSトランジスタ8のドレイン電流 I_n は式(12)により与えられる。ここでは説明を簡単にするために、NMOSトランジスタ3とNMOSトランジスタ8とは同一に形成されるものとして、ドレイン電流係数 M_n 、閾値電圧 V_{t_n} 等の素子特性については互いに等しいものとして解析を実施する。なお、本発明に係るDCオフセット検出回路では、NMOSトランジスタ3とNMOSトランジスタ8とが同一に形成されることを必須の要件とするものではない。そして、これらのトランジスタを異なるように形成したとしても、以下の数値解析で特20 定される回路特性と同等の回路特性を得ることが勿論可能である。

3) に式(8)を代入することにより、製造バラツキに起因して発生するDCオフセットを除去するためにNMOSトランジスタ8のゲートに与えられるべきゲート電圧 V_n は式(14)により与えられる。

$$V_n = \left(1 - \sqrt{\frac{M_p}{M_n}}\right)V_g + \sqrt{\frac{M_p}{M_n}}V_{tp} - V_{tn} - V_g + 2V_{tn} + \frac{(V_g - V_{tn})^2}{2 \left\{ \left(1 - \sqrt{\frac{M_p}{M_n}}\right)V_g + \sqrt{\frac{M_p}{M_n}}V_{tp} - V_{tn} \right\}}$$

$$\therefore V_n = V_{tn} + \sqrt{\frac{M_p}{M_n}}V_{tp} - \sqrt{\frac{M_p}{M_n}}V_g + \frac{(V_g - V_{tn})}{2 \left\{ 1 - \sqrt{\frac{M_p}{M_n}} \frac{V_g - V_{tp}}{V_g - V_{tn}} \right\}} \quad (14)$$

上記のように、PMOSトランジスタ2、NMOSトランジスタ3およびNMOSトランジスタ8に係るドレイン電流係数 M_p 、ドレイン電流係数 M_n 、閾値電圧 V_{tp} 、閾値電圧 V_{tn} 等の素子特性のバラツキに応じて、印加することが必要とされるゲート電圧 V_n の電圧値は式(14)に基づき一意に決定されるものである。

例えば、PMOSトランジスタ2のドレイン電流係数 M_p とNMOSトランジスタ3、8のドレイン電流係数 M_n とが等しく、PMOSトランジスタ2の閾値電圧 V_{tp} とNMOSトランジスタ3、8の閾値電圧 V_{tn} とにバラツキが生じている場合には、式(15)からゲート電圧 V_n は求められる。

次に、第2図に示されるDCオフセット検出回路を利用したこの発明の実施の形態1による増幅回路について説明する。第3図は、この発明の実施の形態1による増幅回路の構成を示す回路図である。第3図において、第2図と同一符号は同一または相当部分を示すのでその説明を省略する。10はアナログ信号処理を実施できるように設定されるバイアス電圧を印加する電圧源（バイアス用電圧源）、11はPMOSトランジスタ2と同一に形成されるPMOSトランジスタ（第1のPMOSトランジスタ）、12はNMOSトランジスタ3と同一に形成されるNMOSトランジスタ（第1のNMOSトランジスタ）、13はNMOSトランジスタ8と同一に形成されるNMOSトランジスタ（第2のNMOSトランジスタ）、14は入力端子（信号入力部）、15は出力端子（信号出力部）である。ここで、入力端子14における入力電圧を V_{in} 、出力端子15における出力電圧を V_{out} とする。また、PMOSトランジスタ11のバックゲートはソースに接続され、NMOSトランジスタ12のバックゲートは接地部4に接続され、NMOSトランジスタ13のバックゲートは接地部4に接続される。なお、バイアス用電圧源10については、例えば電圧源1の電源電圧を抵抗分割すること等の種々の方法を用いて実現することが可能である。また、上記の増幅回路は同一チップ内に形成されることで同一の製造プロセスを経るものであるから、PMOSトランジスタ2とPMOSトランジスタ11、NMOSトランジスタ3とNMOSトランジスタ12、NMOSトランジスタ8とNMOSトランジスタ13とについては、それぞれドレイン電流係数や閾値電圧等の素子特性が互いに等しいものとみなすことができる。すなわち、PMOSトランジスタ2、NMOSトランジスタ3およびNMOSトランジスタ8から成る回路は、PMOSトランジスタ11、NMOSトランジスタ12およびNMOSトランジスタ13から成る回路

において、21は電圧源、22, 23, 24, 25はPMOSトランジスタ、26, 27, 28, 29, 30はNMOSトランジスタ、31は電圧源、32は接地部、33は反転入力部、34は非反転入力部、35は出力部である。

5 PMOSトランジスタ22, 23, 24, 25のソースは電圧源21に接続され、PMOSトランジスタ22のゲートとPMOSトランジスタ23のゲートとは、互いに接続されるとともにPMOSトランジスタ23のドレインに接続される。PMOSトランジスタ24のゲートとPMOSトランジスタ25のゲートとは、互いに接続されるとともにPMOSトランジスタ24のドレインに接続される。NMOSトランジスタ
10 26については、ドレインがPMOSトランジスタ23のドレインに接続され、ゲートが反転入力部33に接続される。NMOSトランジスタ27については、ドレインがPMOSトランジスタ24のドレインに接続され、ゲートが非反転入力部34に接続される。NMOSトランジスタ26のソースとNMOSトランジスタ27のソースとは、互いに接続されるとともにNMOSトランジスタ30のドレインに接続される。NMOSトランジスタ28のドレインはPMOSトランジスタ22のドレインに接続され、NMOSトランジスタ29のドレインはPMOSトランジスタ25のドレインに接続される。NMOSトランジスタ28のゲートとNMOSトランジスタ29のゲートとは、互いに接続されるとともにNMOSトランジスタ28のドレインに接続される。NMOSトランジスタ30のゲートは電圧源31に接続される。NMOSトランジ
15 タ28, 29, 30のソースは接地部32に接続される。そして、PMOSトランジスタ25のドレインとNMOSトランジスタ29のドレインとの接続部位が出力部35に接続される。なお、PMOSトランジ
20 タ22, 23, 24, 25のバックゲートは電圧源21に接続され、N
25

り返されてPMOSトランジスタ25のドレイン電流に等しくなる。これにより、PMOSトランジスタ25のドレイン電流は I_o となる。したがって、出力部35を流れる電流は $I_o - I_g$ となる。

ここで、NMOSトランジスタ29が引き込むドレイン電流 I_g に対してPMOSトランジスタ25から流れ込むドレイン電流 I_o の方が大きくなると出力電圧 V_n は上昇し、逆にPMOSトランジスタ25から流れ込むドレイン電流 I_g に対してNMOSトランジスタ29が引き込むドレイン電流 I_g の方が大きくなると出力電圧 V_n は低下する。したがって、第4図に示される演算増幅器は、DCオフセット検出回路の出力電圧 V_o と入力電圧 V_g との差動電圧を増幅した電圧 V_n を出力する。

次に、第2図および第3図に示される演算増幅器の変形例について説明する。第5図は、演算増幅器の構成の他の例を示す図である。第5図において、41は電圧源、42はPMOSトランジスタ（第5のPMOSトランジスタ）、43はPMOSトランジスタ（第6のPMOSトランジスタ）、44はNMOSトランジスタ（第5のNMOSトランジスタ）、45はNMOSトランジスタ（第6のNMOSトランジスタ）、46はNMOSトランジスタ（第9のNMOSトランジスタ）、47はNMOSトランジスタ（第7のNMOSトランジスタ）、48はNMOSトランジスタ（第8のNMOSトランジスタ）、49はNMOSトランジスタ（第10のNMOSトランジスタ）、50は接地部、51は非反転入力部、52は反転入力部、53は出力部である。

PMOSトランジスタ42、43のソースは、電圧源41に接続される。PMOSトランジスタ42のゲートとPMOSトランジスタ43のゲートとは、互いに接続されるとともにPMOSトランジスタ42のドレインに接続される。NMOSトランジスタ44のドレインとNMOSトランジスタ45のドレインとは互いに接続され、NMOSトランジス

出回路を構成するCMOSの入力部に接続されるとともに非反転入力部
5 1はDCオフセット検出回路を構成するCMOSの出力部に接続され
るから、反転入力部5 2に印加される電圧をVg、非反転入力部5 1に
印加される電圧をVo、ゲート電圧Vgに応じてNMOSトランジスタ
5 4 5を流れるドレイン電流をIg、およびゲート電圧Voに応じてNM
OSトランジスタ4 4を流れるドレイン電流をIoとする。

NMOSトランジスタ4 4のドレイン電流すなわちNMOSトランジ
スタ4 7のドレイン電流は、NMOSトランジスタ4 7、4 9から成る
カレントミラーにより折り返されてNMOSトランジスタ4 9のドレイ
10 イン電流と等しくなる。これにより、NMOSトランジスタ4 9のドレイ
ン電流はIoとなる。また、NMOSトランジスタ4 5のドレイン電流
すなわちNMOSトランジスタ4 8のドレイン電流は、NMOSトラン
ジスタ4 6、4 8から成るカレントミラーにより折り返されてNMOS
トランジスタ4 6のドレイン電流と等しくなる。NMOSトランジスタ
15 4 6のドレイン電流すなわちPMOSトランジスタ4 2のドレイン電流
は、PMOSトランジスタ4 2、4 3から成るカレントミラーにより折
り返されてPMOSトランジスタ4 3のドレイン電流と等しくなる。こ
れにより、PMOSトランジスタ4 3のドレイン電流はIgとなる。し
たがって、出力部5 3を流れる電流はIg - Ioとなる。ここで、PM
20 OSトランジスタ4 3から流れ込むドレイン電流Igに対してNMOS
トランジスタ4 9が引き込むドレイン電流Ioの方が小さくなると出力
電圧Vnは上昇し、逆にPMOSトランジスタ4 3から流れ込むドレイ
ン電流Igに対してNMOSトランジスタ4 9が引き込むドレイン電流
25 Ioの方が大きくなると出力電圧Vnは低下する。また、NMOSトラン
ジスタ4 7のゲートがNMOSトランジスタ4 5のソースとNMOS
トランジスタ4 8のドレインとの接続部位に接続されるとともにNMO

DCオフセットを削減するようにNMOSトランジスタ12のソース電圧を上げる電圧シフト手段を備えるように構成したので、DCオフセットを削減して出力電圧のダイナミックレンジを大きくとることができ、当該CMOSインバータ回路をアナログ信号処理回路として使用可能と 5 することができるという効果を奏する。また、PMOSトランジスタ1 1およびNMOSトランジスタ1 2から成るCMOSの出力部に補正用回路を付加する必要がなくなるから、寄生容量による周波数特性の劣化、ノイズ性能の劣化および消費電流の増大を抑制することができるという効果を奏する。

10 また、電圧シフト手段がNMOSトランジスタ1 3とDCオフセットを検出して当該NMOSトランジスタ1 3のゲートにDCオフセットを削減するように調整された電圧を印加するDCオフセット検出手段とを有して構成されるようにしたので、検出されたDCオフセット量に応じてNMOSトランジスタ1 2のソース電圧を適切なレベルまで上げること 15 ができる、DCオフセットを除去することができるから、CMOSインバータ回路についてアナログ信号処理回路としての性能を向上することができるという効果を奏する。

また、DCオフセット検出手路が、PMOSトランジスタ1 1と一緒に形成されるPMOSトランジスタ2、NMOSトランジスタ1 2と一緒に形成されるNMOSトランジスタ3、NMOSトランジスタ1 3と一緒に形成されるNMOSトランジスタ8、並びにバイアス電圧とPMOSトランジスタ2およびNMOSトランジスタ3等から成るCMOSの出力電圧との差動電圧を增幅する演算增幅器9等から構成された 20 ようにしたので、DCオフセット検出手路を簡単な構成により実現することができるとともに、当該DCオフセット検出手路を使用した增幅回路の 25 回路規模を小さくすることができるという効果を奏する。

有する。第6図において、第3図と同一符号は同一または相当部分を示すのでその説明を省略する。61はPMOSトランジスタ11のソース電圧を下げるDCオフセットを除去するためにPMOSトランジスタ1のソースと電圧源1との間に介装されたPMOSトランジスタ（第2のPMOSトランジスタ）、62はPMOSトランジスタ61と同一に形成されPMOSトランジスタ2のソースと電圧源1との間に介装されたPMOSトランジスタ（第4のPMOSトランジスタ）、63は反転入力部にPMOSトランジスタ2のゲートおよびNMOSトランジスタ3のゲートが接続され、非反転入力部にPMOSトランジスタ2のドレインのゲートが接続される演算増幅器（第2の演算増幅器）である。また、PMOSトランジスタ61のバックゲートは電圧源1に接続され、PMOSトランジスタ62のバックゲートは電圧源1に接続される。なお、上記の増幅回路は同一チップ内に形成されることで同一の製造プロセスを経るものであるから、PMOSトランジスタ2とPMOSトランジスタ11、NMOSトランジスタ3とNMOSトランジスタ12、PMOSトランジスタ62とPMOSトランジスタ61については、それぞれドレイン電流係数や閾値電圧等の素子特性が互いに等しいものとみなすことができる。また、PMOSトランジスタ2、NMOSトランジスタ3、PMOSトランジスタ62、演算増幅器63およびバイアス用電圧源10等から成るDCオフセット検出回路（第2のDCオフセット検出手段）と、PMOSトランジスタ61とから、DCオフセットを削減するように、PMOSトランジスタ11のソース電圧を下げる第2の電圧シフト手段が構成される。

次に、第6図に示される増幅回路の動作について説明する。第6図に

76, 77はPMOSトランジスタ、78, 79, 80, 81はNMOSトランジスタ、82は接地部、83は反転入力部、84は非反転入力部、85は出力部である。

PMOSトランジスタ72, 74, 75のソースは、電圧源71に接続される。PMOSトランジスタ72のゲートは、電圧源73の負極側に接続される。PMOSトランジスタ74のゲートとPMOSトランジスタ75のゲートとは、互いに接続されるとともにPMOSトランジスタ74のドレインに接続される。PMOSトランジスタ76のソースとPMOSトランジスタ77のソースとは、互いに接続されるとともにPMOSトランジスタ72のドレインに接続される。PMOSトランジスタ76のゲートは反転入力部83に接続され、PMOSトランジスタ77のゲートは非反転入力部84に接続される。PMOSトランジスタ74のドレインはNMOSトランジスタ78のドレインに接続され、PMOSトランジスタ76のドレインはNMOSトランジスタ79のドレンに接続され、PMOSトランジスタ77のドレインはNMOSトランジスタ80のドレインに接続され、PMOSトランジスタ75のドレインはNMOSトランジスタ81のドレインに接続される。NMOSトランジスタ78のゲートとNMOSトランジスタ79のゲートとは、互いに接続されるとともにNMOSトランジスタ79のドレインに接続される。NMOSトランジスタ80のゲートとNMOSトランジスタ81のゲートとは、互いに接続されるとともにNMOSトランジスタ80のドレインに接続される。NMOSトランジスタ78のソース、NMOSトランジスタ79のソース、NMOSトランジスタ80のソースおよびNMOSトランジスタ81のソースは、接地部82に接続される。そして、PMOSトランジスタ75のドレインとNMOSトランジスタ81のドレインとの接続部位が出力部85に接続される。なお、PMOSトラン

のドレインはNMOSトランジスタ98のドレインに接続され、PMOSトランジスタ95のドレインはNMOSトランジスタ99のドレインに接続される。PMOSトランジスタ93のドレインはPMOSトランジスタ96のソースに接続され、PMOSトランジスタ94のドレインはPMOSトランジスタ97のソースに接続される。PMOSトランジスタ93のドレインとPMOSトランジスタ96のソースとPMOSトランジスタ92のゲートとPMOSトランジスタ94のゲートとは、互いに接続される。PMOSトランジスタ94のドレインとPMOSトランジスタ97のソースとPMOSトランジスタ93のゲートとPMOSトランジスタ95のゲートとは、互いに接続される。PMOSトランジスタ96のゲートは非反転入力部101に接続され、PMOSトランジスタ97のゲートは反転入力部102に接続される。PMOSトランジスタ96のドレインとPMOSトランジスタ97のドレインとは、互いに接続されるとともに接地部100に接続される。NMOSトランジスタ98のゲートとNMOSトランジスタ99のゲートとは、互いに接続されるとともにNMOSトランジスタ98のドレインに接続される。NMOSトランジスタ98のソースとNMOSトランジスタ99のソースとは、接地部100に接続される。そして、PMOSトランジスタ95のドレインとNMOSトランジスタ99のドレインとの接続部位が出力部103に接続される。

上記のような演算増幅器において、PMOSトランジスタ96およびPMOSトランジスタ97から成る差動対と、PMOSトランジスタ93およびPMOSトランジスタ94から成る負性コンダクタンス回路とから高い相互コンダクタンスを有する増幅器が構成される。また、PMOSトランジスタ92とPMOSトランジスタ94、PMOSトランジスタ93とPMOSトランジスタ95、NMOSトランジスタ98とN

実施の形態 3.

この発明の実施の形態 3 による增幅回路は、第 3 図に示されるように CMOS インバータ回路を成す NMOS ドランジスタのソース電圧を上げる第 1 の電圧シフト手段と、第 6 図に示されるように CMOS インバータ回路を成す PMOS ドランジスタのソース電圧を下げる第 2 の電圧シフト手段とについて、共通部分を設けることにより、2 つの電圧シフト手段を簡略な構成によって併合して実現している点で、実施の形態 1 および実施の形態 2 と差異を有している。第 9 図は、この発明の実施の形態 3 による增幅回路の構成を示す回路図である。第 9 図において、第 3 図および第 6 図と同一符号は同一または相当部分を示すのでその説明を省略する。

次に、第 9 図に示される增幅回路の動作について説明する。 $V_{t p} \geq V_{t n}$ の場合並びに $M_p \leq M_n$ の場合には、演算增幅器 9 が機能して演算增幅器 9 から NMOS ドランジスタ 8 へ出力される電圧 V_n は PMOS ドランジスタ 2 および NMOS ドランジスタ 3 から成る CMOS の出力電圧 V_o をバイアス電圧 V_g に等しくさせる電圧に収斂する。また、 $V_{t p} < V_{t n}$ の場合並びに $M_p > M_n$ の場合には、演算增幅器 6 3 が機能して演算增幅器 6 3 から PMOS ドランジスタ 6 2 へ出力される電圧 V_p は PMOS ドランジスタ 2 および NMOS ドランジスタ 3 から成る CMOS の出力電圧 V_o をバイアス電圧 V_g に等しくさせる電圧に収斂する。

PMOS ドランジスタ 6 2 と PMOS ドランジスタ 6 1、PMOS ドランジスタ 2 と PMOS ドランジスタ 1 1、NMOS ドランジスタ 3 と 25 NMOS ドランジスタ 1 2、NMOS ドランジスタ 8 と NMOS ドランジスタ 1 3 とについては、それぞれ同一に形成されて素子特性が同一で

回路をアナログ信号処理回路として使用可能とすることができるという効果を奏する。

実施の形態 4.

この発明の実施の形態 4 による増幅回路は、DCオフセット除去機能に加えてゲイン可変機能を備える点で、実施の形態 1 から実施の形態 3 による増幅回路と差異を有する。第 10 図は、この発明の実施の形態 4 による増幅回路の構成を示す回路図である。第 10 図において、第 3 図と同一符号は同一または相当部分を示すのでその説明を省略する。11
1 は PNOS ランジスタ 11 のソースと電圧源 1 との間に介装される PMOS ランジスタ（第 2 の PMOS ランジスタ）、112 は PMOS ランジスタ 111 と同一に形成されて PMOS ランジスタ 2 のソースと電圧源 1 との間に介装される PMOS ランジスタ（第 4 の PMOS ランジスタ）、113 は PMOS ランジスタ 111 のゲートおよび PMOS ランジスタ 112 のゲートに接続される可変電圧源、114 は電源起動時等に生じるラッチアップ現象を防止する機能を有する NMOS ランジスタである。

上述したように、第 10 図に示される増幅回路は同一チップ内に形成されることで同一の製造プロセスを経るものであるから、PMOS ランジスタ 111 と PMOS ランジスタ 112 とについてもドレイン電流係数や閾値電圧等の素子特性は等しいものとみなすことができる。

ここで、PMOS ランジスタ 111 および電圧源 113 等から、PMOS ランジスタ 11 のソース電位を可変に制御する電圧制御手段が構成される。また、PMOS ランジスタ 112、PMOS ランジスタ 2、NMOS ランジスタ 3 および NMOS ランジスタ 8 から成る回路は、PMOS ランジスタ 111、PMOS ランジスタ 11、N

イアス電圧 V_g については、対応関係にあるMOSトランジスタはそれ
ぞれ同じ動作を為す。また、回路動作に係る以下の説明においては、理
解を容易とするために、PMOSトランジスタ111とPMOSトラン
ジスタ11との素子特性、並びにNMOSトランジスタ12とNMOS
トランジスタ13との素子特性はそれぞれ互いに等しいものとして数値
解析を実施する。なお、本発明に係る增幅回路においては、PMOSト
ランジスタ111とPMOSトランジスタ11、並びにNMOSトラン
ジスタ12とNMOSトランジスタ13とをそれぞれ同一に形成するこ
とを必須の要件とするものではない。そして、これらトランジスタを異
なるように形成したとしても、以下の数値解析で特定される回路特性と
同等の回路特性を得ることが勿論可能である。

PMOSトランジスタ111の非飽和領域におけるドレン電流とP
MOSトランジスタ11の飽和領域におけるドレン電流とが等しいこ
とに基づいて式(17)が得られ、式(17)を整理することで式(1
15)が得られる。そして、式(18)を V_{sp} について解くことで、 V_{sp} は式(19)に示すように与えられる。式(19)に示されるよう
に、可変電圧源113の電圧 V_c を適宜変化させることで、PMOSト
ランジスタ11およびPMOSトランジスタ2のソース電位 V_{sp} を制
御することが可能となる。

トに係る補正動作には何ら影響を与えるものではない。

以上のように、この実施の形態4によれば、PMOSトランジスタ1
1のソース電位を可変に制御する電圧制御手段と、DCオフセットを除
去するようにNMOSトランジスタ12のソース電位を上げる電圧シフ
ト手段とを備えるように構成したので、PMOSトランジスタ11のソ
ース電位を適宜変化させたうえでDCオフセットを除去するように電圧
シフト手段を動作させることにより、結果的にCMOSインバータ回路
のゲインを制御することができるから、DCオフセットを除去するととも
にゲイン制御が可能な増幅回路を得ることができるという効果を奏す
。また、PMOSトランジスタ11およびNMOSトランジスタ12
等から成るCMOSインバータ回路の出力部に補正用回路を付加する必
要がなくなるから、寄生容量による周波数特性の劣化、ノイズ性能の劣
化および消費電流の増大を抑制することができるという効果を奏する。

また、電圧制御手段が、PMOSトランジスタ11のソースと電圧源
1との間に介装されるPMOSトランジスタ111と、PMOSトラン
ジスタ111のゲートに接続される可変電圧源113とを有して構成さ
れるので、PMOSトランジスタ11のソース電位を簡単な構成で変化
させることができて、回路構成を簡略化することができるという効果を
奏する。

また、電圧シフト手段が、NMOSトランジスタ12のソースと接地
部4との間に介装されるNMOSトランジスタ13と、DCオフセット
を検出してNMOSトランジスタ13のゲートに対してDCオフセット
を除去するように調整された電圧を印加するDCオフセット検出手段と
を有して構成されるので、検出されたDCオフセット量に応じてNMO
Sトランジスタ12のソース電位を適切なレベルまで上げることができ
るから、DCオフセットを確実に除去することができて精度の高い増幅

OSトランジスタ121と一緒に形成されてNMOSトランジスタ3のソースと接地部4との間に介装されるNMOSトランジスタ（第4のNMOSトランジスタ）、123はNMOSトランジスタ121のゲートおよびNMOSトランジスタ122のゲートに接続される可変電圧源である。

上記の増幅回路は同一チップ内に形成されることで同一の製造プロセスを経るものであるから、PMOSトランジスタ61とPMOSトランジスタ62、PMOSトランジスタ11とPMOSトランジスタ2、NMOSトランジスタ12とNMOSトランジスタ3、NMOSトランジスタ121とNMOSトランジスタ122については、それぞれドレンイン電流係数や閾値電圧等の素子特性は等しいものとみなすことができる。すなわち、PMOSトランジスタ62、PMOSトランジスタ2、NMOSトランジスタ3およびNMOSトランジスタ122から成る回路は、PMOSトランジスタ61、PMOSトランジスタ11、NMOSトランジスタ12およびNMOSトランジスタ121から成る回路と同一に形成される対照用回路として与えられるものである。

また、第11図に示される増幅回路においては、NMOSトランジスタ121および可変電圧源123等から、NMOSトランジスタ12のソース電位を可変に制御する電圧制御手段が構成される。また、PMOSトランジスタ62、PMOSトランジスタ2、NMOSトランジスタ3、NMOSトランジスタ122、演算増幅器63およびバイアス用電圧源10等から、電圧制御手段によりNMOSトランジスタ12のソース電位を変化させた状態でPMOSトランジスタ11およびNMOSトランジスタ12から成るCMOSインバータ回路において発生するDCオフセットを検出するとともに、PMOSトランジスタ61のゲートに対してDCオフセットを除去するように調整された電圧を印加するDC

なるように形成したとしても、以下の数値解析で特定される回路特性と同等の回路特性を得ることが勿論可能である。

NMOSトランジスタ121の非飽和領域におけるドレイン電流とNMOSトランジスタ12の飽和領域におけるドレイン電流とが等しいことに基づいて式(22)が得られ、式(22)を整理することで式(23)が得られる。そして、式(23)をV_{sn}について解くことで、V_{sn}は式(24)に示すように与えられる。式(24)から明らかなように、可変電圧源123の電圧V_cを適宜変化させることで、NMOSトランジスタ12およびNMOSトランジスタ3のソース電位V_{sn}を制御することが可能となる。

$$2(V_c - V_{tn})V_{sn} - V_{sn}^2 = (V_g - V_{sn} - V_{tn})^2 \quad (22)$$

$$2V_{sn} - 2(V_g + V_c - 2V_{tn})V_{sn} + (V_g - V_{tn})^2 = 0 \quad (23)$$

$$\begin{aligned} V_{sn} &= \frac{V_g + V_c}{2} - V_{tn} - \frac{1}{2} \sqrt{(V_g + V_c - 2V_{tn})^2 - 2(V_g - V_{tn})^2} \\ &= \frac{V_g + V_c}{2} - V_{tn} - \frac{1}{2} \sqrt{V_c^2 + (2V_g - 2V_{tn})V_c + (V_g - 2V_{tn})^2 - 2(V_g - V_{tn})^2} \\ &= \frac{V_g + V_c}{2} - V_{tn} - \frac{1}{2} \sqrt{V_c^2 + (2V_g - 2V_{tn})V_c - V_g^2 + 2V_{tn}^2} \end{aligned} \quad (24)$$

また、第11図に示される增幅回路についても、式(25)および式(26)に示されるように出力電流I_oおよびゲインG_aを求めることができる。式(26)から明らかなように、制御電圧V_cを適宜変化させることでCMOSインバータ回路のゲインG_aを制御することが可能となる。

を検出してPMOSトランジスタ61のゲートに対してDCオフセットを除去するように調整された電圧を印加するDCオフセット検出手段とを有して構成されるので、検出されたDCオフセット量に応じてPMOSトランジスタ11のソース電位を適切なレベルまで下げる事ができるから、DCオフセットを確実に除去することができて精度の高い増幅回路を得ることができるという効果を奏する。

さらに、DCオフセット検出手段が、PMOSトランジスタ61と一緒に形成されるPMOSトランジスタ62と、PMOSトランジスタ62に接続されPMOSトランジスタ11と一緒に形成されるPMOSトランジスタ2と、PMOSトランジスタ2に接続されNMOSトランジスタ12と一緒に形成されるNMOSトランジスタ3と、NMOSトランジスタ3に接続されるとともにゲートが可変電圧源123に接続されNMOSトランジスタ121と一緒に形成されるNMOSトランジスタ122と、PMOSトランジスタ2のゲートおよびNMOSトランジスタ3のゲートに直流バイアス電圧を印加する電圧源10と、PMOSトランジスタ2およびNMOSトランジスタ3から成るCMOSの入力部および出力部にそれぞれ反転入力部および非反転入力部が接続されるとともに出力部がPMOSトランジスタ61のゲートおよびPMOSトランジスタ62のゲートに接続される演算増幅器63とを有して構成されているので、DCオフセットを高精度で検出するDCオフセット検出手段を簡単な構成で実現することができ、回路構成を簡略化することができるという効果を奏する。

実施の形態6.

この発明の実施の形態6による増幅回路は、負荷としてMOSトランジスタを出力端子に接続する点で特徴を有するものである。第12図は、

$$R_d = \frac{1}{G_m n'} = \frac{1}{2M_n'(V_g - V_{tn})} \quad (27)$$

$$G_b = \frac{I_o \cdot R_d}{V_{in}} = -\frac{M_n}{2M_n'} \left(1 + \sqrt{\frac{M_p}{M_n}} \right) \frac{V_g - V_{sn} - V_{tn}}{V_g - V_{tn}} \quad (28)$$

以上のように、この実施の形態 6 によれば、出力端子 15 と電圧源 1 との間に介装されドレインとゲートとが短絡されたN MOSトランジスタ 131 と、出力端子 15 と接地部 4 との間に介装されドレインとゲートとが短絡されたN MOSトランジスタ 132 を備えるように構成したので、電圧出力を取り出すための負荷をMOSトランジスタを用いて付与することができるから、集積化を可能として回路規模を小さくすることができるという効果を奏する。また、增幅回路のゲインをMOSトランジスタのチャンネル長またはチャンネル幅等のサイズ比を基にして設定することができる所以である。抵抗を用いて電圧出力を取り出す場合と比較して製造バラツキに起因してゲインについて発生する誤差を低減することができて、增幅回路の精度を高くすることができるという効果を奏する。なお、負荷用トランジスタとしてはPMOSトランジスタを用いてもよく、NMOSトランジスタと同様の効果を奏することが可能である。

なお、上記実施の形態 1 から実施の形態 6 により説明される增幅回路は、本発明を限定するものではなく、例示することを意図して開示されているものである。本発明の技術的範囲は請求の範囲により定められるものであり、請求の範囲に記載された発明の技術的範囲において種々の設計的変更が可能である。例えば、第3図、第6図、第9図、第10図、第11図および第12図に示されるように、DCオフセット検出回路に

請求の範囲

1. 第1のPMOSトランジスタと、該第1のPMOSトランジスタのドレインにドレインが接続される第1のNMOSトランジスタと、前記第1のPMOSトランジスタのゲートおよび前記第1のNMOSトランジスタのゲートに接続される信号入力部と、前記第1のPMOSトランジスタのドレインと前記第1のNMOSトランジスタのドレインとの接続部位に接続される信号出力部とを有して構成される增幅回路において、
5 DCオフセットを削減するように前記第1のNMOSトランジスタのソース電圧を上げる第1の電圧シフト手段と、DCオフセットを削減するように前記第1のPMOSトランジスタのソース電圧を下げる第2の電圧シフト手段との両方あるいはいずれか一方を備えることを特徴とする増幅回路。
- 10 2. 第1の電圧シフト手段が、第1のNMOSトランジスタのソースと接地部との間に介装される第2のNMOSトランジスタと、DCオフセットを検出して該第2のNMOSトランジスタのゲートに対してDCオフセットを削減するように調整された電圧を印加する第1のDCオフセット検出手段とを有して構成されることを特徴とする請求の範囲第1項記載の増幅回路。
15 3. 第2の電圧シフト手段が、第1のPMOSトランジスタのソースと電圧源との間に介装される第2のPMOSトランジスタと、DCオフセットを検出して該第2のPMOSトランジスタのゲートに対してDCオフセットを削減するように調整された電圧を印加する第2のDCオフセット検出手段とを有して構成されることを特徴とする請求の範囲第1項記載の増幅回路。
- 20 25

タのゲートとの接続部位に接続され、出力部が前記第2のPMOSトランジスタのゲートおよび前記第4のPMOSトランジスタのゲートに接続される第2の演算増幅器とを有して構成されることを特徴とする請求の範囲第3項記載の增幅回路。

- 5 6. 第1の演算増幅器が、差動対を構成するように互いにドレインが接続されてゲートに非反転入力部が接続される第5のNMOSトランジスタおよびゲートに反転入力部が接続される第6のNMOSトランジスタと、カレントミラーを構成するように互いにゲートが接続される第5のPMOSトランジスタおよび第6のPMOSトランジスタと、前記第10のNMOSトランジスタのソースにドレインが接続される第7のNMOSトランジスタと、前記第6のNMOSトランジスタのソースにドレインが接続される第8のNMOSトランジスタと、前記第5のPMOSトランジスタのドレインにドレインが接続される第9のNMOSトランジスタと、前記第6のPMOSトランジスタのドレインにドレインが接続される第10のNMOSトランジスタとを有して構成され、

前記第7のNMOSトランジスタのゲートと前記第10のNMOSトランジスタのゲートと前記第6のNMOSトランジスタのソースとが接続され、前記第8のNMOSトランジスタのゲートと前記第9のNMOSトランジスタのゲートと前記第5のNMOSトランジスタのソースとが接続され、前記第5のPMOSトランジスタのドレインと前記第9のNMOSトランジスタのドレインとの接続部位あるいは前記第6のPMOSトランジスタのドレインと前記第10のNMOSトランジスタのドレインとの接続部位のいずれかが出力部に接続されることを特徴とする請求の範囲第4項記載の增幅回路。

- 25 7. 第2の演算増幅器が、差動対を構成するように互いにドレインが接続されてゲートに非反転入力部が接続される第5のPMOSトランジ

制御手段と、

DCオフセットを除去するように前記第1のNMOSトランジスタのソース電位を上げる電圧シフト手段とを備えることを特徴とする増幅回路。

5 9. 電圧制御手段が、第1のPMOSトランジスタのソースと電圧源との間に介装される第2のPMOSトランジスタと、該第2のPMOSトランジスタのゲートに接続される可変電圧源とを有して構成されることを特徴とする請求の範囲第8項記載の増幅回路。

10 10. 電圧シフト手段が、第1のNMOSトランジスタのソースと接地部との間に介装される第2のNMOSトランジスタと、DCオフセットを検出して該第2のNMOSトランジスタのゲートに対してDCオフセットを除去するように調整された電圧を印加するDCオフセット検出手段とを有して構成されることを特徴とする請求の範囲第8項記載の増幅回路。

15 11. 電圧制御手段が、第1のPMOSトランジスタのソースと電圧源との間に介装される第2のPMOSトランジスタと、該第2のPMOSトランジスタのゲートに接続される可変電圧源とを有して構成され、DCオフセット検出手段が、前記第1のPMOSトランジスタと一緒に形成される第3のPMOSトランジスタと、該第3のPMOSトランジスタのドレインにドレインが接続され第1のNMOSトランジスタと一緒に形成される第3のNMOSトランジスタと、前記第3のPMOSトランジスタのゲートおよび前記第3のNMOSトランジスタのゲートに直流バイアス電圧を与えるバイアス用電圧源と、前記第3のPMOSトランジスタのソースと電圧源との間に介装されるとともにゲートが前記可変電圧源に接続され前記第2のPMOSトランジスタと一緒に形成される第4のPMOSトランジスタと、前記第3のNMOSトランジ

14. 電圧制御手段が、第1のNMOSトランジスタのソースと接地部との間に介装される第2のNMOSトランジスタと、該第2のNMOSトランジスタのゲートに接続される可変電圧源とを有して構成されることを特徴とする請求の範囲第13項記載の増幅回路。
- 5 15. 電圧シフト手段が、第1のPMOSトランジスタのソースと電圧源との間に介装される第2のPMOSトランジスタと、DCオフセットを検出して該第2のPMOSトランジスタのゲートに対してDCオフセットを除去するように調整された電圧を印加するDCオフセット検出手段とを有して構成されることを特徴とする請求の範囲第13項記載の増幅回路。
- 10 16. 電圧制御手段が、第1のNMOSトランジスタのソースと接地部との間に介装される第2のNMOSトランジスタと、該第2のNMOSトランジスタのゲートに接続される可変電圧源とを有して構成され、DCオフセット検出手段が、第1のPMOSトランジスタと同一に形成される第3のPMOSトランジスタと、該第3のPMOSトランジスタのドレインにドレインが接続され前記第1のNMOSトランジスタと同一に形成される第3のNMOSトランジスタと、前記第3のPMOSトランジスタのゲートおよび前記第3のNMOSトランジスタのゲートに直流バイアス電圧を与えるバイアス用電圧源と、前記第3のNMOSトランジスタのソースと接地部との間に介装されるとともにゲートが前記可変電圧源に接続され前記第2のNMOSトランジスタと同一に形成される第4のNMOSトランジスタと、前記第3のPMOSトランジスタのソースと電圧源との間に介装され第2のPMOSトランジスタと同一に形成される第4のPMOSトランジスタと、非反転入力部が前記第3のPMOSトランジスタのドレインと前記第3のNMOSトランジスタのドレインとの接続部位に接続され、反転入力部が前記第3のPMOSトランジ

1/9

Fig.1

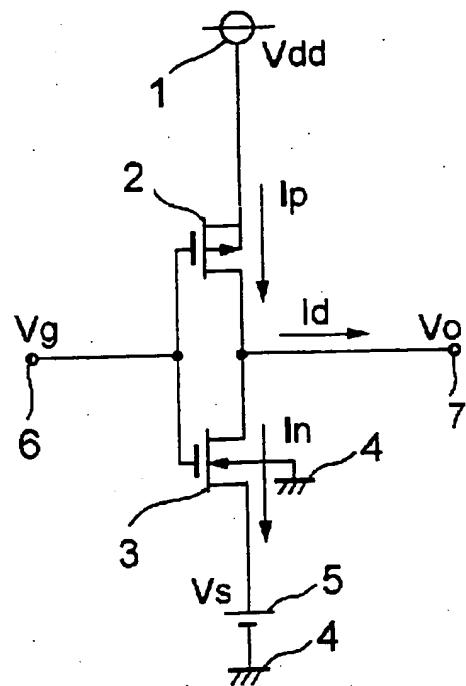
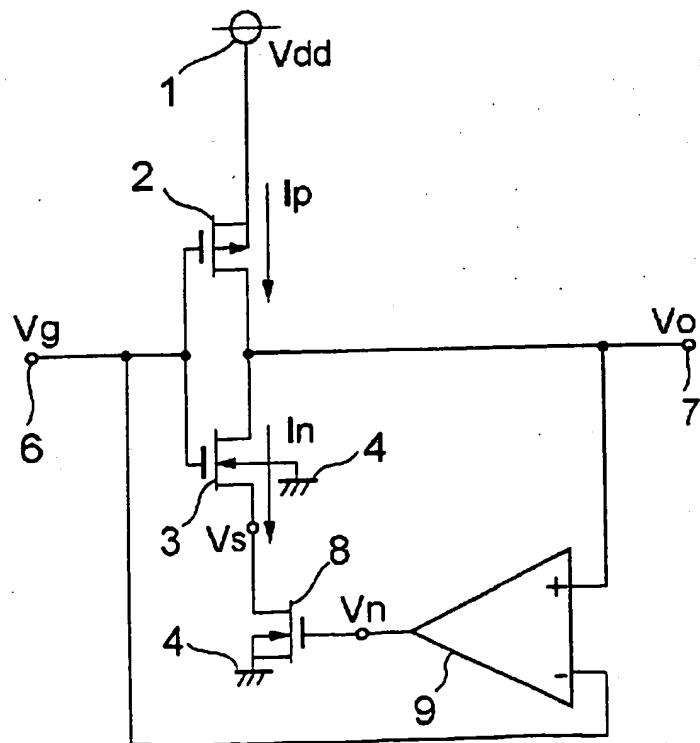


Fig.2



3/9

Fig.5

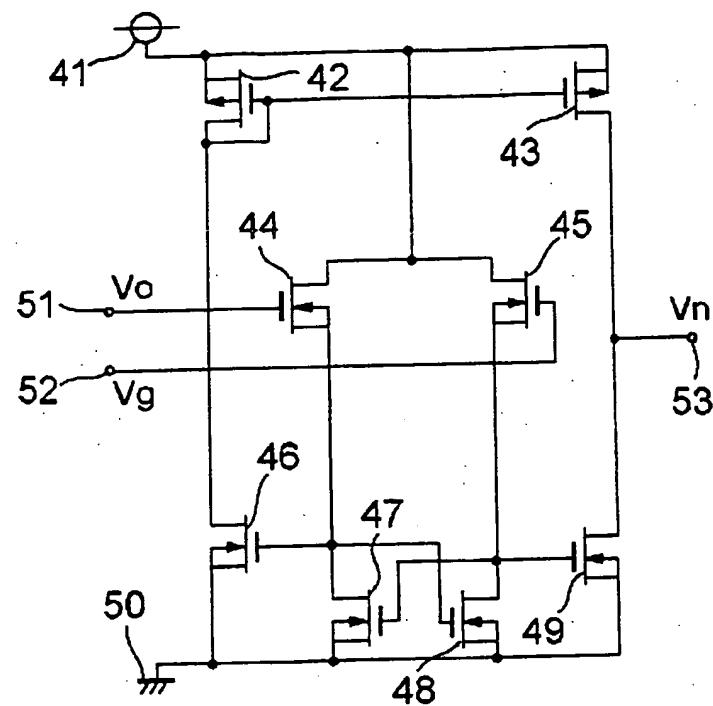
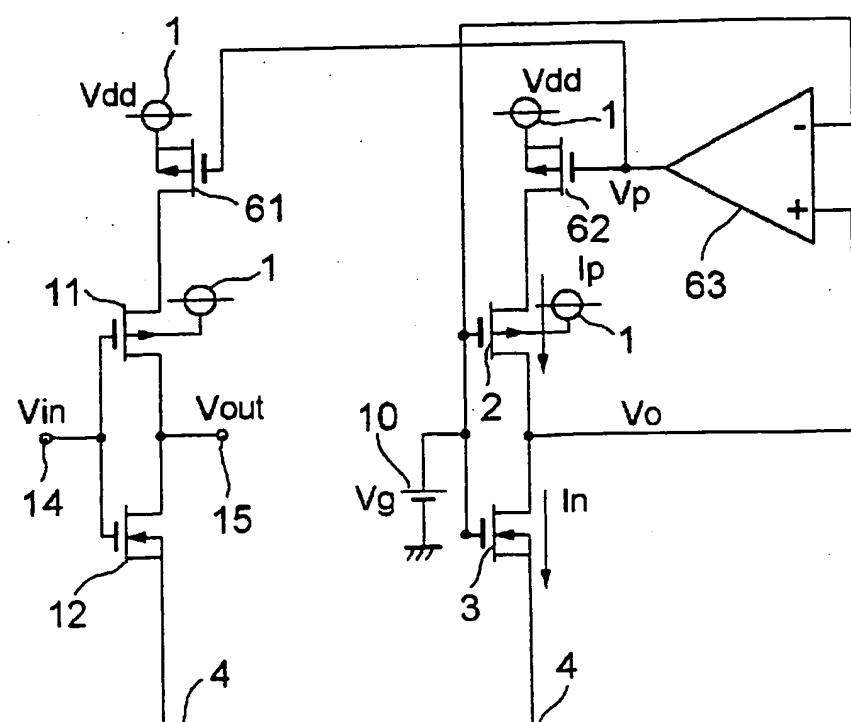
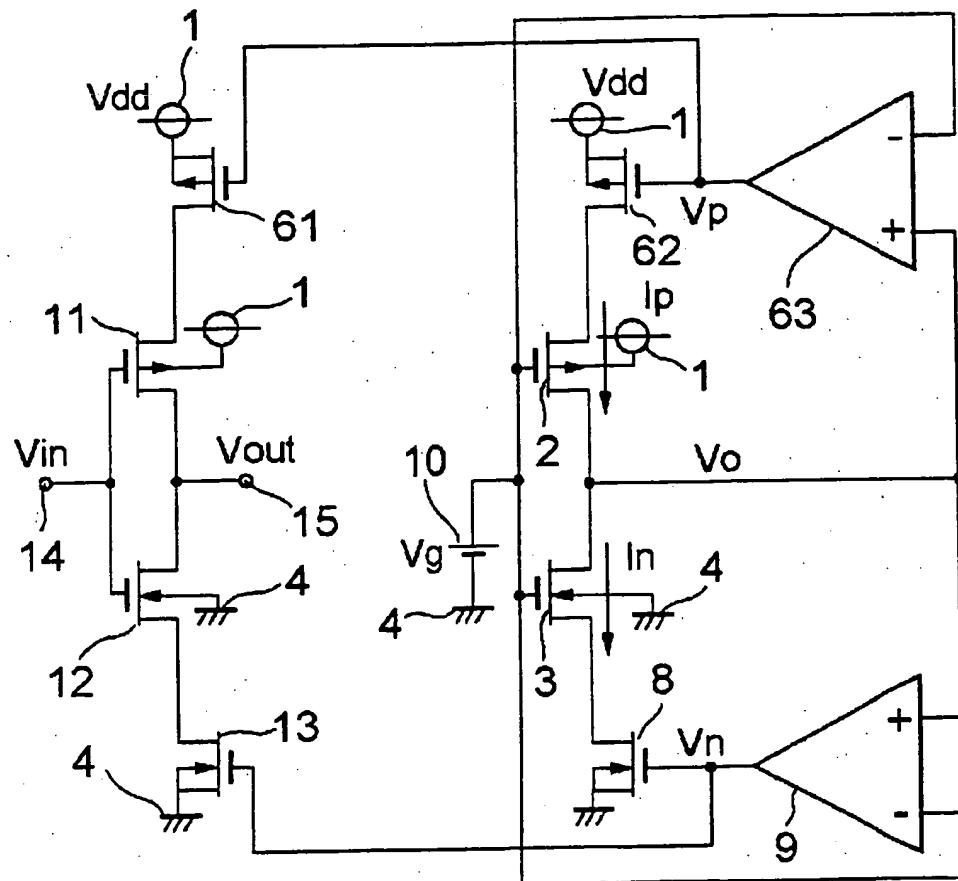


Fig.6



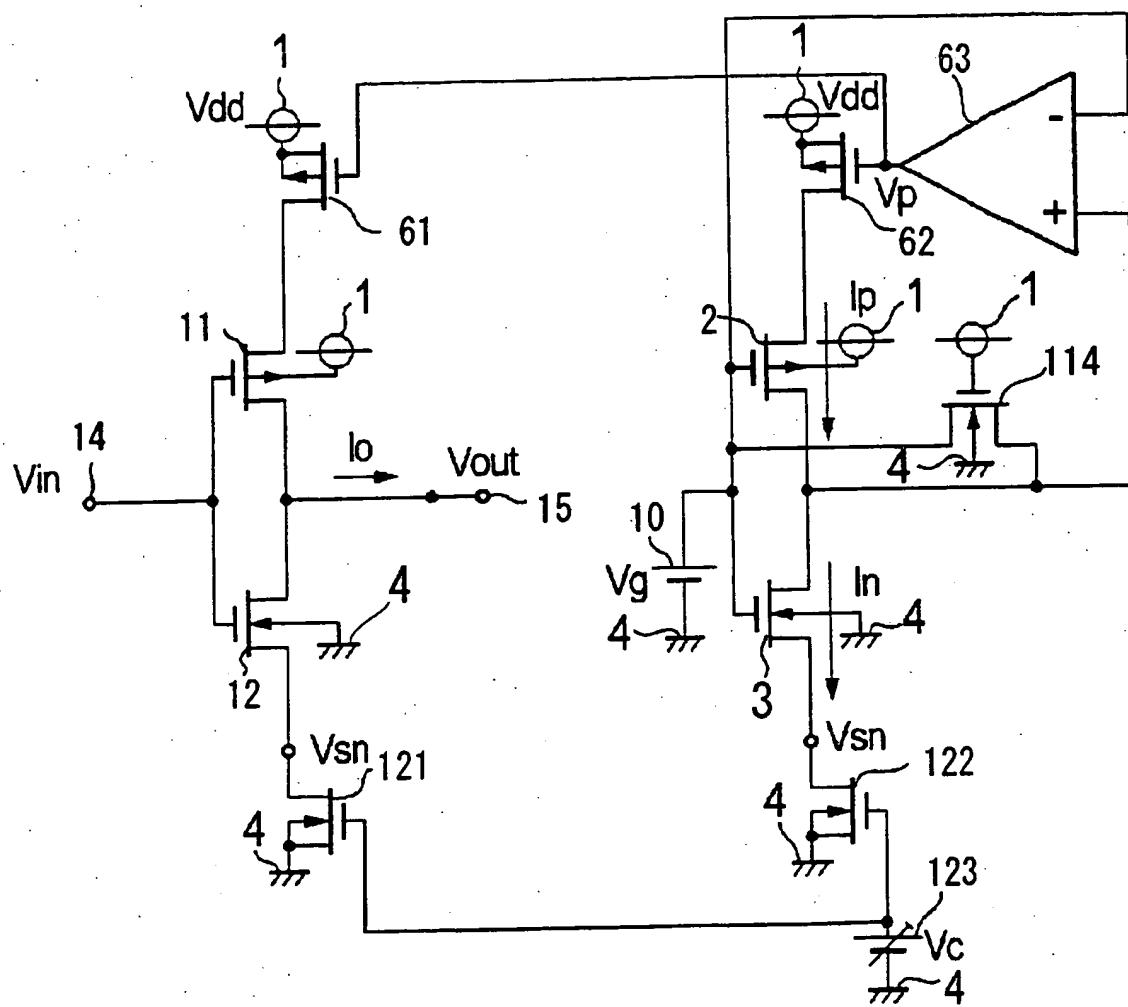
5/9

Fig.9



7/9

Fig.11



9/9

Fig.13A

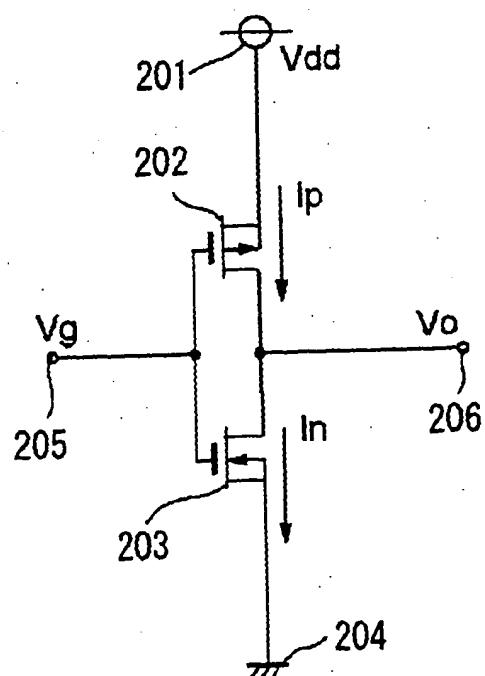
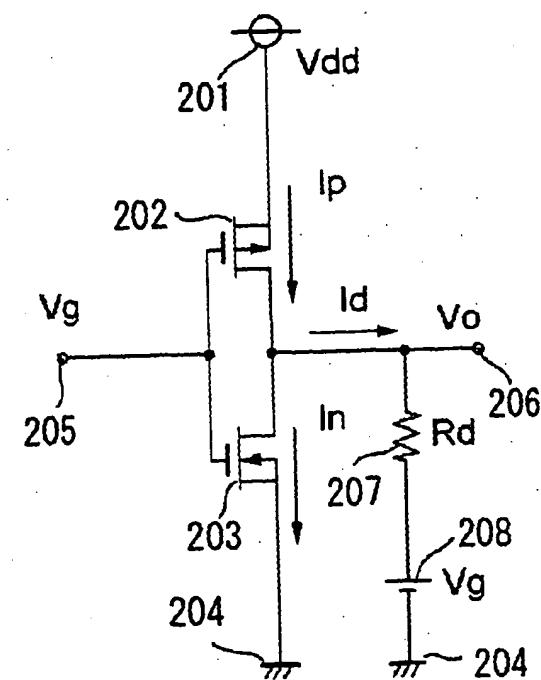


Fig.13B



INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP02/10482**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2002-190196 A (Toshiba Corp.), 05 July, 2002 (05.07.02), Page 6, right column, line 8 to page 7, left column, line 3; Fig. 4 (Family: none)	1-17

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
P A	JP 2002-190196 A(株式会社東芝)2002. 07. 05 6頁右欄8行～7頁左欄3行、図4 (ファミリーなし)	1-17